

# DISEÑO DE UN MODEM 16-DAPK PARA ENLACES RADIO PUNTO – MULTIPUNTO

A. Mollfulleda, X. Revés, J.L. Valenzuela, A. Gelong, F. Casadevall  
Grupo de Comunicaciones Radio  
Departamento de la Teoría de Señal y Comunicaciones (D4 Campus Nord)  
ETSETB-UPC  
C/ Jordi Girona 1-3, 08034 Barcelona.  
Tel. 93 401 59 48 Fax. 94 401 72 00  
e-mail: [mollfull@eupmt.es](mailto:mollfull@eupmt.es), [reves@xaloc.upc.es](mailto:reves@xaloc.upc.es)

## INTRODUCCIÓN

La substitución de los sistemas de comunicaciones analógicos por los que son completamente digitales, ha provocado una rápida evolución de los sistemas de hardware digital. En particular se destacan los sistemas basados en Procesadores Digitales de Señal (DSP), orientados a aplicaciones de media y baja carga computacional, y los basados en Dispositivos Programables en el Sistema (FPGA) dedicados a aplicaciones de alta carga computacional. Por otra parte se observan dos tendencias en el hardware digital: aquellos que utilizan aritmética en coma flotante, y los que trabajan con aritmética en coma fija. Éstos últimos son especialmente atractivos por cuestiones de precio, espacio y consumo de potencia, pero requieren un esfuerzo adicional por parte del diseñador para resolver el compromiso entre carga computacional y precisión.

En este artículo se presenta el diseño completo (software y hardware) de un modulador digital 16-DAPK para un radioenlace de comunicaciones terrestres usando el procesador digital de señal TMS320C54x, con aritmética en coma fija. El módem realiza una transmisión por paquetes en una comunicación punto-multipunto a una velocidad de 38400 bits/s.

## CARACTERÍSTICAS GENERALES DEL SISTEMA

El objetivo del sistema es realizar una comunicación que sea transparente al protocolo de nivel superior, por lo que se realizará una transmisión por paquetes. La transmisión de información debe realizarse a una velocidad de 38400 bits/s. Para las comunicaciones que generan información a ráfagas se impone que el tiempo de respuesta en recepción (tiempo de adquisición de los parámetros del canal) sea como máximo de 5ms. Dada la velocidad de transmisión, el tiempo de respuesta limita el número de símbolos al inicio de la trama, es decir la longitud de la cabecera. La necesidad de inclusión de señal de sincronismo produce un aumento en la velocidad efectiva de transmisión por el canal, que finalmente será de 10590 baudios.

Flujo de bits	38400 bits/s
Ancho de banda de canal	25 KHz
Ancho de banda de señal	16 KHz
Frecuencia portadora	400-900 MHz

Tabla 1. Características generales del sistema

Por otro lado los componentes del hardware que se deben utilizar imponen una serie de restricciones que condicionan la arquitectura del receptor. En primer lugar, la estabilidad de los osciladores de transmisión y recepción pueden producir un error de hasta  $\pm 3$  KHz. Esto unido a la velocidad de transmisión utilizada se impone la necesidad de utilizar un subsistema de estima y corrección de frecuencia y el empleo de una modulación diferencial. En segundo lugar, la inclusión de amplificadores de potencia en la banda de RF implica que se deba evitar una subida fuerte de señal al inicio de la transmisión. Para solucionar esto se introducirán unos símbolos al inicio de la trama que suavizan el aumento del nivel de señal (Power Ramping). Finalmente, debido a que se tiene una constelación multinivel el nivel de señal debe quedar bien ajustado a las necesidades del receptor al inicio de la trama. Además, el ajuste de ganancia se ha efectuado mediante amplificadores analógicos controlados por el DSP, ya que el ajuste digital requiere una elevada carga computacional y una precisión en los cálculos no asumibles por un DSP de coma fija.

Tal como se menciona anteriormente, al inicio de la transmisión se generan unos símbolos dedicados a la estimación de los diferentes parámetros que son necesarios para un proceso de demodulación correcto. La estructura detallada de la trama transmitida se expone en la figura 1.

La mayoría de los sistemas de comunicaciones están limitados por la carga computacional para llevar a cabo las operaciones de modulación y demodulación en tiempo real. En un procesador con aritmética en coma fija, se requiere además un fuerte compromiso entre tiempo de procesado y precisión en los resultados. El diseño que se presenta se expone la realización una comunicación full duplex sin superar los 720 ciclos del DSP por muestra procesada.

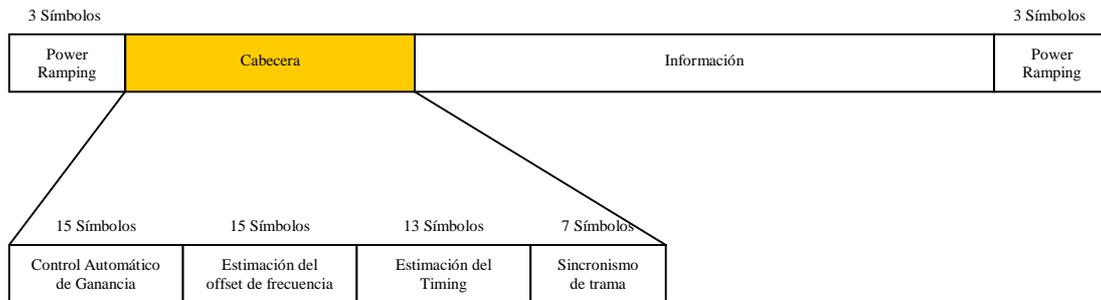


Figura 1. Estructura de la trama.

## DISEÑO DEL SOFTWARE

Los esquemas a nivel de bloques del modulador y del demodulador se hallan en las figuras 2 y 3. El modulador trabaja a 8 muestra por símbolo, y genera la señal modulada a la frecuencia intermedia de 21180 KHz.

En el diagrama de bloques del receptor se observan las diferentes etapas (zonas sombreadas) de procesado durante la recepción de una trama. Estas etapas son: detección de trama y ajuste de la ganancia de la señal (RSSI/CAG), estimación del desplazamiento frecuencial de la señal recibida, estimación del instante óptimo de muestreo, sincronización del inicio de trama y demodulación de los símbolos de información.

El bloque RSSI/CAG trabaja a 8 muestras por símbolo y se encarga de detectar la llegada de una trama, así como de ajustar con precisión el nivel de señal a la entrada. Una vez pasada esta etapa se activa el demodulador I/Q, que traslada la señal a banda base y realiza un diezmado para trabajar a 4 muestras por símbolo. La estimación del error en frecuencia se hace con un FLL (Frequency Lock Loop) que utiliza un quadricorrelador para la detección del error [8]. En las siguientes etapas se recibe una señal compleja con un error residual máximo de 150 Hz. Para la estimación del "Timing" el modulador genera una señal, que después de procesarla en recepción genera 2 cruces por cero por cada símbolo, correspondiendo uno de ellos al instante óptimo de muestreo [5][6][7]. Esta etapa ha sido crítica en el triple compromiso entre velocidad de adquisición, la precisión de las operaciones, y la carga computacional. El reajuste del instante de muestreo se ha realizado mediante un interpolador parabólico a 4 muestras por símbolo [3][4]. Para la sincronización de trama se ha usado una secuencia de Barker de 7 símbolos de forma que la probabilidad de sincronizar la trama debido al ruido es de  $10^{-5}$  [2].

En el artículo se detallan diversos aspectos del planteamiento de la solución basada en un procesador con aritmética en coma fija, especialmente aquellas funciones en las que el procesado conlleva un aumento relevante en la carga computacional para tener resultados con la precisión adecuada. Algunas de éstas son: la estimación de sincronismo, el decodificador diferencial y el desmapeo. También se comentan diferentes aspectos del proceso de optimización del código, como son el uso de saltos retardados, instrucciones en paralelo, y reordenación de código original para optimizar el pipeline del procesador.

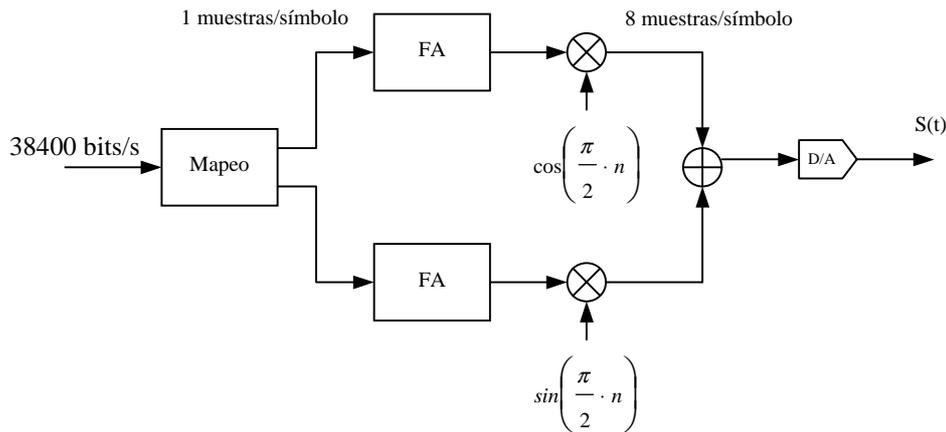


Figura 2. Esquema del Transmisor

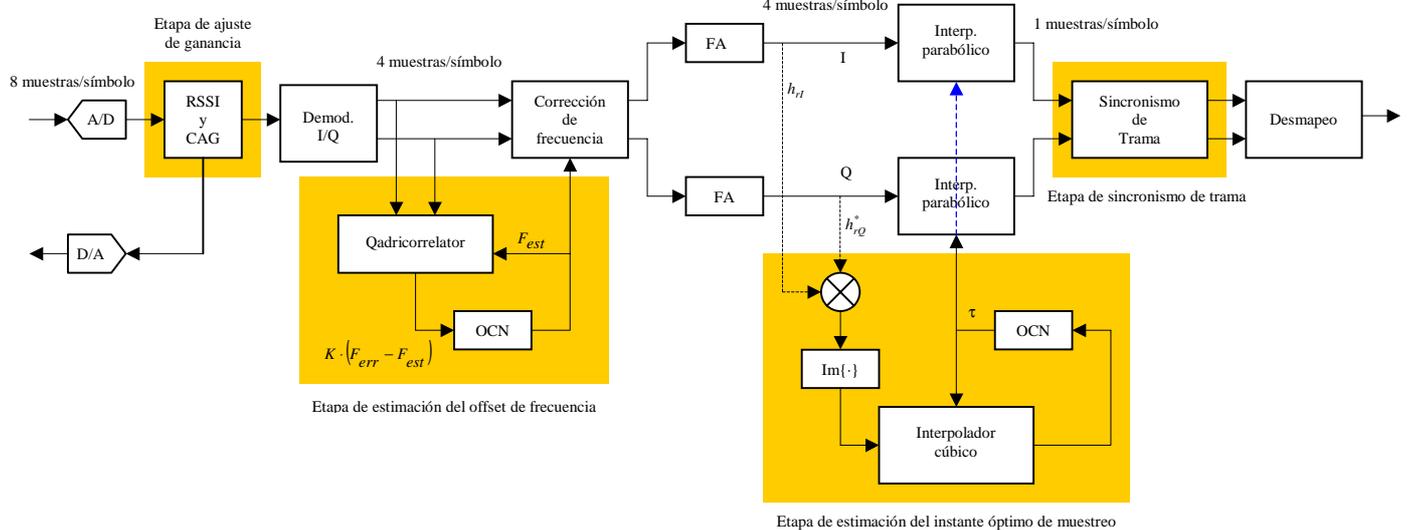


Figura 3. Esquema del receptor

## DISEÑO DEL HARDWARE

La construcción del módem sobre el que aplican los algoritmos presentados requiere de un *hardware* que permita su prueba y puesta en funcionamiento. Este *hardware* se desarrolla alrededor del DSP TMS230C549 y está compuesto de una parte digital y otra analógica. Ambas están construidas sobre la misma placa de circuito impreso, por lo que se debe prestar especial atención al ruido digital sobre la parte analógica a fin de no deteriorar en exceso la calidad del sistema debido a interferencias internas. Por otra parte, dado que el sistema opera a baja velocidad, no ha sido necesario tener que encontrar dispositivos con gran ancho de banda, lo cual simplifica la tarea de diseño y, en general, limita las aportaciones ruidosas de los componentes internos al sistema. Cabe decir que se han tenido en cuenta las normas que regulan la compatibilidad electromagnética para conseguir el propósito mencionado anteriormente y para facilitar la integración del circuito en un equipo comercial con los mínimos cambios.

El esquema propuesto sigue básicamente el típico de un emisor/receptor. Tal y como se puede observar en la figura 4, consta del núcleo DSP donde se procesa la señal y un conjunto de periféricos que le permiten trabajar con el entorno analógico. Estos no son más que el convertor D/A en transmisión, el convertor A/D en recepción y el convertor D/A que permite generar el nivel de tensión adecuado para el control automático de ganancia a fin de ajustar la señal de entrada a los márgenes del A/D. Las etapas que preceden o siguen los convertidores de señal simplemente hacen una traslación de las componentes de frecuencia desde banda base a FI para atacar la etapa de RF.

Además de los canales de transmisión/recepción que incluyen componentes analógicos, en la figura se observan componentes digitales que permiten al sistema ser prácticamente autónomo. Estos componentes no son más que una memoria EPROM, que permite al DSP arrancar el programa del módem, y una interfaz con dos puertos serie tipo RS-232 para acceder y gestionar el flujo de datos. Se ha utilizado una FPGA para adaptar los puertos serie que incorpora la DSP a la normativa RS-232.

Para poder gestionar todos los componentes desde el DSP que no son capaces de ir a su misma velocidad (~60MHz) o que tienen una interfaz incompatible con éste y para decodificación de direcciones, se ha provisto al sistema de un circuito de lógica programable (CPLD) a fin de hacer transparente al procesador las distintas características de aquellos componentes.

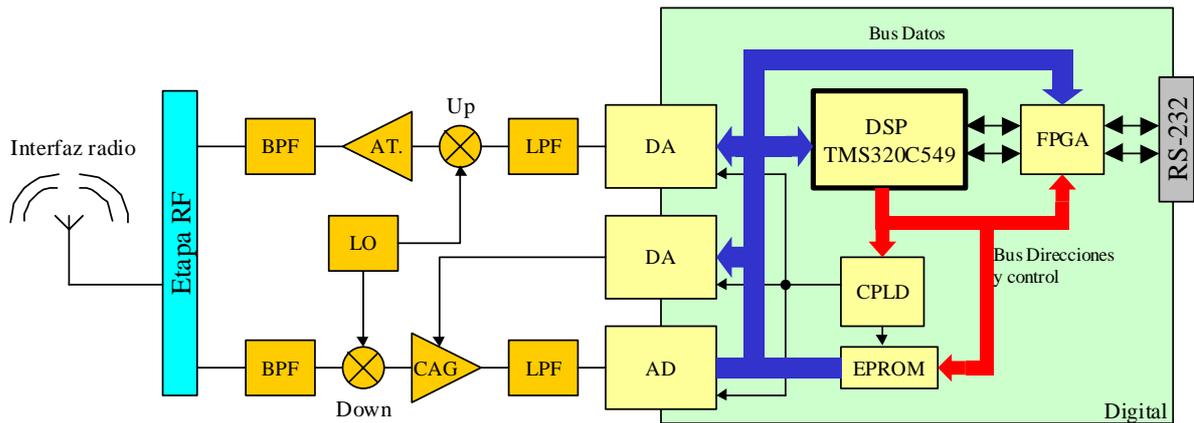


Figura 4. Esquema simplificado del diseño hardware

## BIBLIOGRAFIA

- J. Webber, N. Dahnoum, "A  $\pi/4$  shift D-QPSK baseband modem using the TMS320C50 DSP", The first European DSP education and research conference, September 1996.
- [2] J.G. Proakis, "Digital Communications". MC GRAW-HILL INTERNATIONAL EDITIONS. 1995.
- [3] F.M. Gardner "Interpolation in Digital Modems-Part I: Fundamentals". *IEEE. Trans. Comm.*, Vol. 41, pp. 501-507 March 1993.
- [4] Lars Erup, F.M. Gardner, Robert A. Harris, "Interpolation in Digital Modems-Part II: Implementation and Performance". *IEEE. Trans. Comm.*, Vol. 41, pp. 908-1008 June 1993.
- [5] F.M. Gardner. "A BPSK/QPSK Timing-Error Detector for Sampled Receivers". *IEEE Trans. Comm.*, Vol. COM-34, pp. 423-429, May 1986.
- [6] Steven A. Tretter, "Communication system design using DSP algorithms", Series Editor: R.W. Lucky, 1995.
- [7] N.A. D'andrea, M. Luise, "design and analysis of a Jitter Clock Recovery Scheme For QAMS ystems", *IEEE Trans. Comm.*, vol. 41, pp. 1296-1299, Sept. 1993.
- [8] Aldo N. Andrea, U. Mengali, "Performance of a Quadricorrelator Driven by Modulated Signals", *IEEE Trans. Comm.*, vol. 38, NO. 11, pp. 1952-1957, Nov. 1990.